

EUROPEAN PATENT OFFICE

F3-03196-SM(1)

Patent Abstracts of Japan

PUBLICATION NUMBER : 63299406
 PUBLICATION DATE : 06-12-88

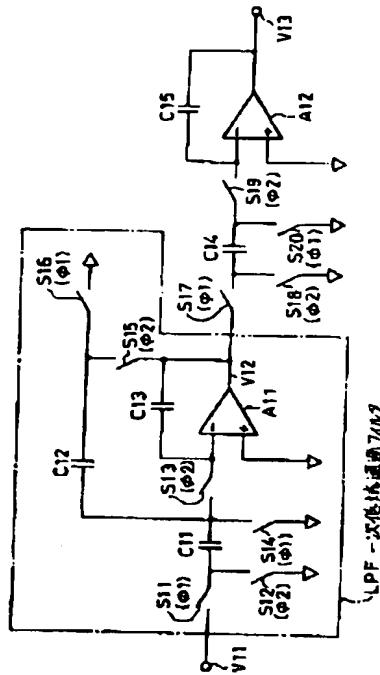
APPLICATION DATE : 29-05-87
 APPLICATION NUMBER : 62131715

APPLICANT : ASAHI KASEI MICRO SYST KK;

INVENTOR : ADACHI TOSHIO;

INT.CL. : H03H 19/00

TITLE : SWITCHED CAPACITOR FILTER



ABSTRACT : PURPOSE: To reduce the size of a chip and current consumption, by arranging an attenuator consisting of a switched capacitor circuit having a capacitor charged/discharged by an analog switch, and an operational amplifier between a signal input terminal and a switched capacitor integrator.

CONSTITUTION: Assuming that the cut-off frequency of a primary low-pass filter LPF is sufficiently high compared with a required signal frequency and a passing area gain is $1/a$ ($a > 1$), the primary low-pass filter LPF acts as an attenuator. Therefore, the output voltage V_{12} of the primary low-pass filter LPF is given as $V_{12} = (1/a)V_{11}$. And the output voltage V_{12} is effective in both clock phases φ_1 and φ_2 . In other words, by providing the attenuator consisting of the primary low-pass filter LPF, a ratio of a feedback capacity C_{15} to an input capacity C_{14} approaches to 1 by (a) times. Generally speaking, since a ratio F_c/F_s of a sampling frequency F_s to the cut-off frequency F_c is proportional to the ratio C_{14}/C_{15} of the feedback capacity C_{15} to the input capacity C_{14} , it goes to $C_{14} < C_{15}$ assuming that it is $F_c < F_s$.

COPYRIGHT: (C)1988,JPO&Japio

BEST AVAILABLE COPY

DOCUSHARE

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭63-299406

⑤Int.Cl.⁴
 H 03 H 19/00

識別記号 庁内整理番号
 6903-5J

④公開 昭和63年(1988)12月6日

審査請求 未請求 発明の数 1 (全7頁)

③発明の名称 スイッチト・キャバシタ・フィルタ

④特願 昭62-131715
 ⑤出願 昭62(1987)5月29日

⑥発明者 安達 敏男 東京都千代田区有楽町1丁目1番2号 旭化成マイクロシステム株式会社内

⑦出願人 旭化成マイクロシステム株式会社 東京都千代田区内幸町1丁目1番1号

⑧代理人 弁理士 谷 義一

明細書

たことを特徴とするスイッチト・キャバシタ・フィルタ。

1. 発明の名称

スイッチト・キャバシタ・フィルタ

2. 特許請求の範囲

1) 演算増幅器の出力端子と一方の入力端子とをキャバシタを介して接続し、信号入力端子に供給される信号を、当該信号の周波数より高い周波数で開閉されるアナログスイッチにより充放電のなされるキャバシタを有するスイッチト・キャバシタ回路を介して前記一方の入力端子に供給し、前記他方の入力端子には予め定めた電位を供給して構成したスイッチト・キャバシタ積分器を有するスイッチト・キャバシタ・フィルタにおいて、

前記周波数で開閉されるアナログスイッチにより充放電のなされるキャバシタを有するスイッチト・キャバシタ回路および演算増幅器により構成した減衰器を、前記信号入力端子と前記スイッチト・キャバシタ積分器との間に配置し

2) 前記減衰器は、必要としている周波数帯域に比べて十分に高い遮断周波数を有する一次低域通過フィルタであることを特徴とする特許請求の範囲第1項記載のスイッチト・キャバシタ・フィルタ。

(以下、余白)

3.発明の詳細な説明

【産業上の利用分野】

本発明は、スイッチト・キャパシタ・フィルタに関するものであり、更に詳細には、LSIに実装する際に回路規模を縮小することのできるスイッチト・キャパシタ・フィルタに関するものである。

【従来の技術】

スイッチト・キャパシタ・フィルタは、信号周波数より十分高い周波数でアナログスイッチを開閉してキャパシタの充放電を行うことで等価的抵抗を形成するスイッチト・キャパシタ回路を演算増幅器の一方の入力端子に供給し、同他方の入力端子を共通電位に接続し、その演算増幅器の一方の入力端子と出力端子との間にキャパシタを接続して構成したスイッチト・キャパシタ積分器を基本単位として、所望の周波数特性を実現するものである。

かかるスイッチト・キャパシタ・フィルタに用いられるキャパシタの比は、フィルタの遮断周波

数 f_c とフィルタの標本化周波数 f_s との比に依存することが知られている。すなわち、 f_s が高くなればなる程または f_c が低くなればなる程、容量比は大きくなり、その結果、デバイス面積が増大したり、演算増幅器の能力を向上させる必要がある。そこで、スイッチト・キャパシタ・フィルタの設計においては、かかる容量比を低く抑えることが必要である。

しかしながら、高い遮断周波数 f_h と低い遮断周波数 f_l を有するフィルタ系、例えば帯域通過フィルタ、あるいは特定の周波数の電源雑音の折り返しを避けるために標本化周波数を高く設定せざるを得ない場合などのように、容量比を低く抑えることができない場合もある。

従来、このような容量比の増大という問題を解決するための一つの方法として、IEEE Journal of Solid State Circuits 誌 1982年 Vol. SC-17 page1039～Y.Kuraishi 氏らの論文に記載の方法がある。

この方法を第5図を用いて説明する。第5図に

3

おいて、A1は演算増幅器、C1,C2はキャパシタ、S1～S4は交互に生起するクロック位相 ϕ 、または ϕ' で動作するアナログスイッチである。R1およびR2は抵抗であり、これら抵抗R1とR2により分圧型の減衰器を構成する。V1は入力端子であり、V2は出力端子である。スイッチS1～S4とキャパシタC1によりスイッチト・キャパシタ回路を構成し、そのスイッチト・キャパシタ回路とキャパシタC2と演算増幅器A1とによりスイッチト・キャパシタ積分器を構成する。

R_s はレイアウト上生じる不所望の寄生抵抗である。ここで、容量C1とC2の容量比は、抵抗R1とR2が存在しないとしたときのキャパシタC1およびC2の各容量値 $C1'$ および $C2'$ の容量比と次の関係が成り立つ。

$$\frac{C1}{C2} = \frac{R1 + R2}{R2} \frac{C1'}{C2'} \quad (1)$$

すなわち、抵抗R1とR2の存在によって入力電圧が $R2/(R1+R2)$ 倍になったので、入力電圧の実質的な低下を補償するため、キャパシタC1の値

4

$C1'$ を $(R1+R2)/R2$ 倍だけ大きくしたのである。その結果として、容量比が1に近づくのである。

【発明が解決しようとする問題点】

しかしながら、第5図の回路においては、入力電圧端子V1から共通接地端子に至るまでの経路上にレイアウト上避けることのできない寄生抵抗 R_s が存在し、これによって誤差が生ずる。さらにまた、標本化周波数が高くなると、この寄生抵抗 R_s の存在によってキャパシタに対する充放電の時間が長くなるという問題がある。

そこで、本発明の目的は、スイッチト・キャパシタ・フィルタにおけるキャパシタの容量比を小さくし、かつレイアウト上生ずる寄生抵抗や充放電時間によるフィルタの誤差を低減したスイッチト・キャパシタ・フィルタを提供することにある。

【問題点を解決するための手段】

上述した目的を達成するために、本発明のスイッチト・キャパシタ・フィルタは、演算増幅器の出力端子と一方の入力端子とをキャパシタを介し

5

特開昭63-299406(3)

て接続し、信号入力端子に供給される信号を、当該信号の周波数より高い周波数で開閉されるアナログスイッチにより充放電のなされるキャパシタを有するスイッチト・キャパシタ回路を介して一方の入力端子に供給し、他方の入力端子には予め定めた電位を供給して構成したスイッチト・キャパシタ積分器を有するスイッチト・キャパシタ・フィルタにおいて、周波数で開閉されるアナログスイッチにより充放電のなされるキャパシタを有するスイッチト・キャパシタ回路および演算増幅器により構成した減衰器を、信号入力端子とスイッチト・キャパシタ積分器との間に配置したことを特徴とする。

【作用】

上記構成によれば、ある容量比の高いフィルタ部は、スイッチト・キャパシタ回路と演算増幅器とで構成した減衰器により、入力電圧は $1/a$ 倍 ($a > 1$) になる。このため、かかる減衰器なしのときと同じフィルタ特性を実現するためには、フィルタ部の入力容量値を a 倍にすることになる。すな

わち、入力容量と帰還容量との比は小さくなり、その結果として、容量比は小さくなる。従って、本発明によれば、高い標準化周波数を用いた場合であっても、低い遮断周波数のフィルタを容易に構成できる。

【実施例】

以下図面を参照して本発明を詳細に説明する。

本発明のスイッチト・キャパシタ・フィルタを説明するため、そのスイッチト・キャパシタ・フィルタの構成単位であるスイッチト・キャパシタ積分器の一実施例を第1図に示す。なお、比較のために従来のスイッチト・キャパシタ積分器の例を第2図に示す。

第1図および第2図において、A11～A13は演算増幅器、C11～C17はキャパシタ、S11～S20、S61～S64は交互に切り換わって生じるクロック位相 ϕ_1 または ϕ_2 で動作するアナログスイッチである。V₁₁は入力端子、V₁₂は出力端子である。ここで、クロック位相 ϕ_1 、 ϕ_2 は入力端子

7

V_{11} に供給される信号の周波数より十分に高い周波数で切り換わるものとする。

ここで、アナログスイッチS11～S14とキャパシタC11、アナログスイッチS17～S20とキャパシタC14、およびアナログスイッチS61～S64とキャパシタC16は、それぞれ、スイッチト・キャパシタ回路を構成する。

第1図において、スイッチS11～S14とキャパシタC11によるスイッチト・キャパシタ回路と、スイッチS15、S16およびキャパシタC12、C13によるスイッチト・キャパシタ回路と、演算増幅器A11とにより一次低域通過フィルタLPFを構成する。

第1図において、スイッチS17～S20とキャパシタC14によるスイッチト・キャパシタ回路と演算増幅器A12とキャパシタC15とは、第2図に示したスイッチS61～S64とキャパシタC16によるスイッチト・キャパシタ回路と演算増幅器A13とキャパシタC16とによる従来のスイッチト・キャパシタ積分器と同様の構成である。

8

すなわち、本発明による第1図のスイッチト・キャパシタ積分器は、演算増幅器A11、キャパシタC11～C13およびアナログスイッチS11～S16からなる一次低域通過フィルタLPFと第2図に示す従来の積分器と同様の部分とから構成されている。

第1図において用いられている一次低域通過フィルタLPFの遮断周波数が必要としている信号周波数帯に比較して十分高く、かつその通過減衰率が $1/a$ ($a > 1$) とすると、この一次低域通過フィルタLPFは減衰器として動作する。従って、一次低域通過フィルタLPFの出力電圧 V_{12} は次式で与えられる。

$$V_{12} = \frac{1}{a} V_{11} \quad (1)$$

なお、この出力電圧 V_{12} はクロック位相 ϕ_1 、 ϕ_2 のいずれにおいても有効である。

第1図の積分器の特性と第2図の積分器の特性を同じにするには、キャパシタC14～C17は次の関係式を満足すればよい。

$$\frac{C14}{C15} = a \frac{C16}{C17} \quad (3)$$

その理由は、(2)式で示すように、第1図におけるスイッチS17への入力電圧、すなわち一次低域通過フィルタLPFの出力電圧 V_{12} は第2図の積分器の入力電圧 V_{11} の a 分の1になっているからである。すなわち、一次低域通過フィルタLPFにより構成した減衰器の存在によって、帰還容量 $C15$ と入力容量 $C14$ との比は a 倍だけ1に近づくことになる。一般に、標本化周波数 F_s と遮断周波数 F_c との比 F_c/F_s は帰還容量 $C15$ と入力容量 $C14$ との比 $C14/C15$ の比に比例するので、 $F_c < F_s$ とすると、 $C14 < C15$ となる。

本発明のスイッチト・キャパシタ・フィルタを構成するスイッチト・キャパシタ積分器の他の実施例を第3図に示す。第3図において、A21, A22は演算増幅器、C21～C24はキャパシタ、S21～S28はクロック位相 ϕ_1 または ϕ_2 で動作するアナログスイッチである。 V_{21} は入力端子、 V_{22} は出力端子である。

1 1

例を示す。

ここで、A31～A34は演算増幅器、C31～C42はキャパシタ、S31～S60はクロック位相 ϕ_1 または ϕ_2 で動作するアナログスイッチである。 V_{41} は入力端子、 V_{42} は出力端子である。

第4図において、演算増幅器A33, キャパシタC37～C39、スイッチS39～S44からなるブロックATT1および演算増幅器A34, キャパシタC40～C42、スイッチS45～S50からなるブロックATT2はそれぞれ一次低域通過フィルタの構成をなす減衰器であり、それぞれの利得は容量比C37/C38およびC40/C41で決まる。

ここで、第4図の高域通過フィルタにおいて、標本化周波数100kHz、遮断周波数100Hzを実現させるのに、減衰器ATT1およびATT2の容量比をそれぞれC37/C38 = C40/C41 = 1/5とした時、すなわち減衰器の利得を0.2とした時、必要とする単位キャパシタの総数は136となる。

一方、同じ特性のフィルタを実現するのに減衰器ATT1およびATT2を用いない従来の高域通過フィ

ここで、第3図の積分器は、演算増幅器A21と、キャパシタC21, C22およびアナログスイッチS21～S25で構成したスイッチト・キャパシタ回路とからなる掛算器の形態の減衰器ATTと、演算増幅器A22、キャパシタC23, C24、アナログスイッチS26～S29から構成され、第2図に示した積分器と同様の部分とから構成されている。

この減衰器ATTは、掛算定数がC21/C22であり、第1図で説明した減衰器LPFと同じ働きをするものであり、同様にして容量比C23/C24を低減できる。ここで、第3図における減衰器ATTは、クロック ϕ_1 期間では、演算増幅器A21の入出力端子がスイッチS23により短絡されるので、その出力は共通電位、すなわち、無出力としているため、次段の入力容量C23のクロック周期に合わせる必要があるとともに、スルーレート(Slew rate)の大きな演算増幅器を使用する必要がある。

第4図に第1図示のスイッチト・キャパシタ積分器を用いて構成した高域通過フィルタの一実施

1 2

ルタを用いた場合には、必要とする単位キャパシタの総数は565となり、第4図の回路の場合の4倍以上となる。これは、キャパシタのサイズのみならず、演算増幅器の負荷が大きくなることも意味し、従って、演算増幅器のサイズと消費電流をも大きくせざるを得ず、結果として、チップサイズの増大と共に消費電流の増加も招くことになる。

[発明の効果]

以上から明らかなように、本発明のスイッチト・キャパシタ・フィルタによれば、スイッチト・キャパシタ回路網を用いた減衰器を組み合わせることにより、チップサイズの減少と共に消費電流の低下を図ることができる。さらに、本発明では、用いている減衰器の利得が容量比のみで決まるため、寄生抵抗や寄生容量など、レイアウトの制約で生ずる誤差が生じることはない。

4. 図面の簡単な説明

第1図および第3図は本発明に係るスイッチト・キャパシタ・フィルタの基本単位を構成する

スイッチト・キャパシタ積分器の実施例を示す回路図、

第2図および第5図は従来のスイッチト・キャパシタ積分器の例を示す回路図、

第4図は本発明による高域通過フィルタの一実施例を示す回路図である。

A1, A11 ~ A13, A21, A22, A31 ~ A34

…演算増幅器、

C1, C2, C11 ~ C17, C21 ~ C24, C31 ~ C42

…容量、

S1 ~ S4, S11 ~ S29, S31 ~ S50, S61 ~ S84

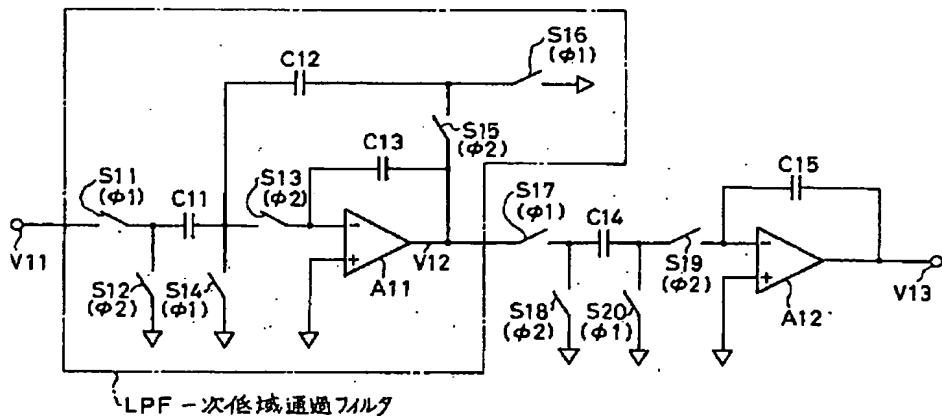
…アナログスイッチ、

LPF …一次低域通過フィルタ、

ATT …減衰器、

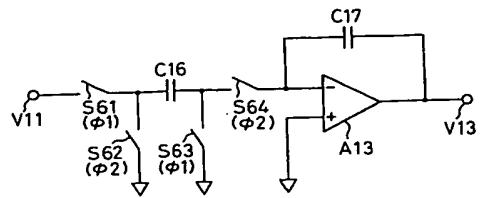
ATT1, ATT2 …一次低域通過フィルタ。

1 6

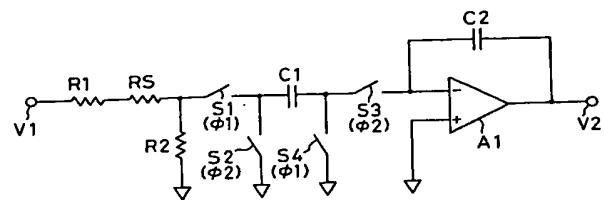


本発明に係るスイッチト・キャパシタ積分器の実施例の回路図

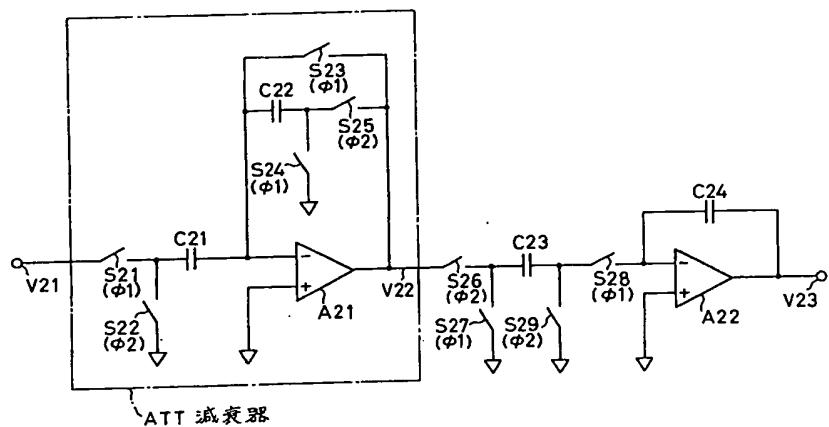
第1図



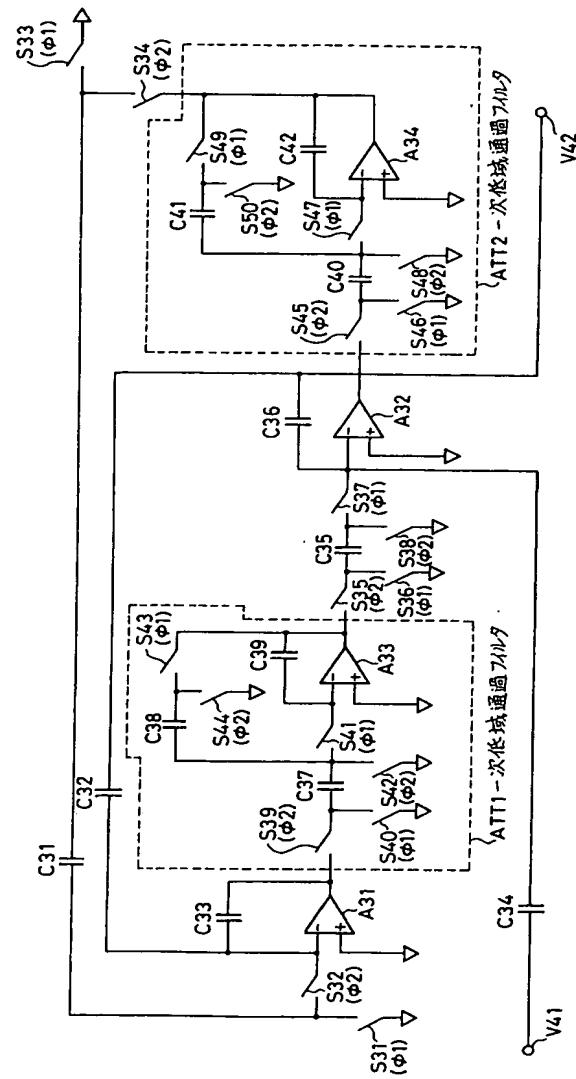
従来のスイッチト・キャパシタ積分器の例を示す回路図
第 2 図



従来のスイッチト・キャパシタ積分器の例を示す回路図
第 5 図



本発明に係るスイッチト・キャパシタ積分器の実施例の回路図
第 3 図



本発明による高域通過フィルタの実施形の回路図
第4図

THIS PAGE BLANK (USPTO)